

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

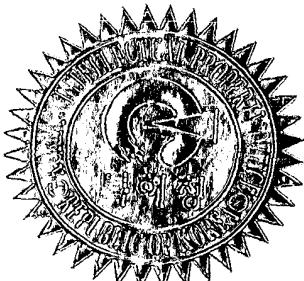
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

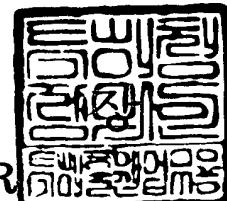
출원번호 : 10-2002-0081236
Application Number PATENT-2002-0081236

출원년월일 : 2002년 12월 18일
Date of Application DEC 18, 2002

출원인 : 삼성전기주식회사
Applicant(s) SAMSUNG ELECTRO-MECHANICS CO., LTD.



2003년 01월 15일



특허청

COMMISSIONER

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.12.18
【발명의 명칭】	광비아홀을 구비하는 인쇄회로기판 및 가공 공정
【발명의 영문명칭】	A printed circuit board with opto-via holes, and a process for forming them
【출원인】	
【명칭】	삼성전기주식회사
【출원인코드】	1-1998-001806-4
【대리인】	
【명칭】	청운특허법인
【대리인코드】	9-2002-100001-8
【지정된변리사】	이철, 이인실, 염승윤, 최재승, 신한철
【포괄위임등록번호】	2002-065077-1
【발명자】	
【성명의 국문표기】	김영우
【성명의 영문표기】	KIM, Young Woo
【주민등록번호】	741215-1524345
【우편번호】	339-751
【주소】	충청남도 연기군 조치원읍 신흥주공아파트 202동 203호
【국적】	KR
【발명자】	
【성명의 국문표기】	조영상
【성명의 영문표기】	CHO, Young Sang
【주민등록번호】	651205-1892611
【우편번호】	360-819
【주소】	충청북도 청주시 상당구 율량동 1182번지 삼성아파트 107동 1301호
【국적】	KR
【발명자】	
【성명의 국문표기】	양덕진
【성명의 영문표기】	YANG, Dek Gin

1020020081236

출력 일자: 2003/1/16

【주민등록번호】	650318-1379813		
【우편번호】	363-852		
【주소】	충청북도 청원군 가덕면 행정리 34-5		
【국적】	KR		
【발명자】			
【성명의 국문표기】	임규혁		
【성명의 영문표기】	YIM,Kyu Hyok		
【주민등록번호】	750708-1384116		
【우편번호】	373-805		
【주소】	충청북도 옥천군 옥천읍 구일리 650		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 청운특허법인 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	7	면	7,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	13	항	525,000 원
【합계】	561,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 광신호를 인쇄회로기판(PCB) 내부의 광도파로에 전달하기 위한 광비아홀(opto-via hole)을 가공하는 공정 및 이러한 광비아홀을 구비하는 인쇄회로기판에 관한 것이다. 본 발명에 따른 인쇄회로기판의 광비아홀 가공 공정은, i) 복수의 동적층판(CCL) 상에 드릴을 사용하여 복수의 비아홀을 가공하는 단계; ii) 상기 복수의 비아홀의 내측 벽을 도금하는 단계; iii) 상기 동적층판의 상부 및 하부면의 도금된 부분을 노광 및 식각 공정에 의해 회로 패턴을 형성하는 단계; iv) 상기 회로 패턴이 형성된 복수의 동적층판들끼리 절연 수지 접착제를 사용하여 적층하는 단계; 및 v) 소정의 비아홀 내부의 상기 절연 수지 접착제를 제거하여 광비아홀을 가공하는 단계를 포함하여 이루어진다. 본 발명에 따르면, 외부와의 직접적으로 접촉되는 광도파로에 손상을 주지 않고도 안정적인 신호를 연결할 수 있고, 재료 특성에 부합하는 광도파로를 삽입할 수 있다.

【대표도】

도 2e

【색인어】

광비아홀, 인쇄회로기판, 광도파로, EOCB, 드릴

【명세서】**【발명의 명칭】**

광비아홀을 구비하는 인쇄회로기판 및 가공 공정 {A printed circuit board with opto-via holes, and a process for forming them}

【도면의 간단한 설명】

도 1은 빔 반사 마이크로 미러를 사용할 경우의 빔 커플링을 나타내는 도면이다.

도 2a 내지 도 2f는 각각 본 발명의 실시예에 따른 인쇄회로기판 외층의 광비아홀 가공 공정을 순서적으로 예시하는 도면들이다.

도 3a 내지 도 3f는 각각 본 발명의 다른 실시예에 따른 인쇄회로기판 내층의 광비아홀 가공 공정을 순서적으로 예시하는 도면들이다.

도 4a 내지 도 4g는 각각 본 발명에 따른 광비아홀 가공 이후 후속적으로 PCB를 제조하는 공정을 순서적으로 예시하는 도면들이다.

*** 도면부호의 간단한 설명 ***

10, 30: 외층 PCB 20: 내층 PCB

11, 11', 21, 24, 37: 동박층 12, 12', 22: 에폭시 절연층

13, 23, 38: 절연수지 접착제 14: 광도파로

35: 광도파로의 코어 36: 광도파로의 클래드

39: 충진재

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<11> 본 발명은 광비아홀을 구비하는 인쇄회로기판 및 가공 공정에 관한 것으로, 보다 상세하게는, 광신호를 인쇄회로기판(PCB) 내부의 광도파로에 전달하기 위한 광비아홀을 구비하는 인쇄회로기판 및 가공 공정에 관한 것이다.

<12> PCB(인쇄회로기판)는 인쇄회로 원판 위에 여러 전자제품 소자들을 일정한 틀에 따라 간편하게 연결시켜 주는 역할을 하며, 디지털 TV를 비롯한 가전제품부터 첨단 통신기기까지 모든 전자제품에 광범위하게 사용되는 부품이다.

<13> 종래에는 PCB를 제조할 경우, 구리판에 회로 패턴을 형성(Patterning)하여 PCB의 내층(Inner Layer)/외층(Outer Layer)을 형성하였으나, 최근 고분자 중합체(Polymer)와 유리 섬유(Glass fiber)를 이용하여 광으로 신호를 송수신할 수 있는 광도파로를 PCB 내에 삽입하게 되었으며, 이를 EOCB(Electro-Optical Circuit Board)라고 한다.

<14> 이러한 EOCB는 회로 패턴을 형성한 상태에서 광도파로 및 유리판을 삽입한 PCB를 말하며, 전기적인 신호와 광신호를 혼재하고 있다. 또한, EOCB는 보드에 탑재되는 소자 내에서 데이터의 저장/신호 처리를 위해서 광신호를 전기적인 신호로 변환할 수 있고, 보드 내에서의 초고속 데이터 통신은 광신호로 인터페이싱(interfacing)하게 된다.

<15> 광비아홀은 광신호를 PCB 내층의 광도파로 소자의 인입구에 연결해주기 위한 매개체로서, 내부로부터 발생하는 신호를 외부의 포토다이오드(PD), 광원소자인 수직 동공 표면발광 레이저(Vertical-Cavity Surface-Emitting Laser; 이하 "VCSEL"라 함) 등에 전

달해 주는 기능을 하는 PCB의 비아홀을 말하며, 이러한 광도파로 형성 시, PCB의 외층으로부터 내층으로 연결하는 통로를 형성하고 광신호를 용이하게 전달할 수 있는 광비아홀(Opto-Via Hole)이 요구된다.

<16> 구체적으로, 인터넷 사용의 급증과 서비스 품질이 높아짐에 따라 데이터 취급량과 전송량이 급증하게 되었고, 이로 인한 대역폭(Bandwidth) 확대와 신호처리의 고속화가 요구됨에 따라 광 인터페이싱(Optical Interfacing)할 수 있는 매개체로서 전술한 EOCB 가 필요하게 되었다. 즉, 종래의 PCB에 사용되던 전기 신호는 기가헤르쯔(GHz) 대역에서 고속 스위칭 시에 전자계 감도(Electro Magnetic Susceptibility; EMS) 특성에 의해 제한을 받기 때문에, 이러한 EMS 특성의 제한을 받지 않는 광 인터페이싱이 요구되는 것이다.

<17> 이하, 도 1을 참조하여, PCB 내에서 광이 인터페이싱 되는 예를 설명한다.

<18> 도 1은 빔 반사 마이크로 미러(Beam Reflecting Micro Mirror)를 사용하여 빔 커플링하는 것을 도시하고 있다.

<19> 도 1을 참조하면, 프로세서 보드(2)로부터 전기 신호가 인가되면, 실장된 송신 모듈(3) 내의 레이저 다이오드(1)로부터 광신호가 변환되어 조사되고, 이후 좌측의 렌즈(8a, 8b)를 거쳐 PCB 내에 삽입되어 있는 좌측의 마이크로 미러(4a)를 통해 반사된다. 이와 같이 반사된 신호는 광도파로를 거쳐 우측의 반사 미러(4b)로 반사된 후 우측의 렌즈(8c, 8d)를 거쳐 수신 모듈(7) 내의 포토 다이오드(6)로 전달된다. 여기서, 광도파로는 저손실의 다중모드 중합체 도파로 코어(waveguide

core; 5a, 5b)를 통해 전달되며, 이 코어의 상하부에 도파로 클래드(waveguide clad; 9)가 형성되어 있다. 결국, 좌측의 프로세서 보드(2)로부터 전송된 신호는 광신호로 변환되어 전달된 후 다시 전기적인 신호로 변환되어 우측의 프로세서 보드에 전달되게 된다.

<20> 그런데, 전술한 EOCB에 대한 개념이 등장한지 10년 이상이 되었음에도 불구하고, 어떠한 방법으로 PCB에 삽입되는지 그리고 어떻게 구체적으로 외부와 연결할 것인지에 대해 현실화되지 않고 있으며, 또한, 광을 연결하는 결합 방식에 따라 PCB 가공 방법이 달라져야만 한다. 따라서, 최대한 PCB 공정상의 화학약품 등에 따른 제한을 덜 받도록 하기 위하여 비아홀 가공 순서를 정립할 필요성이 있다.

<21> 종래에는 PCB에 삽입되는 광도파로 소자와 유리 섬유가 PCB 공정의 화학적, 물리적 외부 충격을 받아 광을 통과시키거나 조사받는 기능을 상실하거나 또는 큰 손실을 일으킬 수 있으므로, 각 공정에 따라 원하는 광비아홀을 선택적으로 따로 가공해야 한다는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<22> 상기한 문제점을 해결하기 위한 수단으로서, 본 발명의 목적은 외부와 직접적으로 접촉되는 광도파로에 손상을 최대한 주지 않고도 안정적인 신호를 연결할 수 있는고, 재료 특성에 부합하는 광도파로를 삽입할 수 있는 광비아홀을 구비하는 인쇄회로기판 및 가공 공정을 제공하기 위한 것이다.

【발명의 구성 및 작용】

<23> 전술한 목적을 달성하기 위한 수단으로서, 본 발명에 따른 광비아홀 가공 공

정은, i) 복수의 동 적층판(CCL) 상에 드릴을 사용하여 복수의 비아홀을 가공하는 단계; ii) 상기 복수의 비아홀의 내측 벽을 도금하는 단계; iii) 상기 동 적층판의 상부 및 하부면의 도금된 부분을 노광 및 식각 공정에 의해 회로 패턴을 형성하는 단계; iv) 상기 회로 패턴이 형성된 복수의 동 적층판들끼리 절연 수지 접착제를 사용하여 적층하는 단계; 및 v) 소정의 비아홀 내부의 상기 절연 수지 접착제를 제거하여 광비아홀을 가공하는 단계를 포함하여 이루어진다.

<24> 여기서, 상기 복수의 광비아홀은 전기적 비아홀 및 광비아홀을 모두 포함하는 것을 특징으로 한다.

<25> 여기서, 상기 v) 단계의 광비아홀은 CO₂ 레이저 또는 기계적 비트(mechanical bit)로 가공되고, 상기 광비아홀이 형성된 부위에 95% 이상의 광투과율을 갖는 에폭시 수지를 충진하는 것이 바람직하다.

<26> 한편, 상기 목적을 달성하기 위한 다른 수단으로서, 본 발명에 따른 광도파로용 광비아홀 가공 공정은, i) 절연막, 및 상기 절연막의 상하부에 동박이 입혀진 복수의 동 적층판(CCL) 상에 각각 회로 패턴을 형성하는 단계; ii) 상기 회로 패턴이 형성된 동 적층판들끼리 접착제를 사용하여 1차 적층시키는 단계; iii) 소정의 위치에서 복수의 전기적 비아홀과 광비아홀을 동시에 1차 드릴 가공하는 단계; iv) 상기 1차 드릴 가공된 비아홀의 내측 벽을 도금하는 단계; v) 상기 복수의 동 적층판의 상부 및 하부면의 도금된 부분을 노광 및 식각 공정에 의해 회로 패턴을 형성하는 단계; 및 vi) 2차 드릴 가공으로 복수의 제2 광비아홀을 가공하는 단계를 포함하여 이루어진다.

<27> 여기서, vii) 상기 광비아홀에 단차를 형성하고, 광도파로(optical waveguide)를 부착하는 단계를 추가로 포함하는 것을 특징으로 한다.

<28> 또한, 상기 광비아홀이 형성된 부위에 95% 이상의 광투과율을 갖는 에폭시 수지를 충진하는 것이 바람직하다.

<29> 한편, 본 발명에 따른 광도파로용 광비아홀을 구비하는 인쇄회로기판은, a) 드릴을 사용하여 가공된 복수의 비아홀을 구비하는 복수의 동 적층판(CCL); b) 상기 복수의 비아홀의 내측 벽에 형성되는 도금층; c) 상기 동 적층판의 상부 및 하부면의 도금된 부분을 노광 및 식각 공정에 의해 형성되는 회로 패턴층; d) 상기 회로 패턴이 형성된 복수의 동 적층판들끼리 적층시키는 절연 수지 접착제; e) 소정의 비아홀 내부에서 상기 절연 수지 접착제를 제거하여 형성되는 광비아홀; 및 f) 상기 광비아홀을 통해 광신호를 연결하는 광도파로를 포함하여 구성된다.

<30> 여기서, 상기 복수의 광비아홀은 전기적 비아홀 및 광비아홀을 모두 포함하는 것을 특징으로 한다.

<31> 여기서, 상기 광비아홀은 CO₂ 레이저 또는 기계적 비트로 가공될 수 있다.

<32> 여기서, 상기 광비아홀이 형성된 부위에 충진되는 95% 이상의 광투과율을 갖는 에폭시 수지 충진재를 추가로 포함할 수 있다.

<33> 한편, 본 발명에 따른 광도파로용 광비아홀을 구비하는 인쇄회로기판은, a) 절연막, 및 상기 절연막의 상하부에 입혀진 동박을 구비하며, 각각 회로 패턴이 형성되는 복수의 동 적층판(CCL); b) 상기 회로 패턴이 형성된 동 적층판들끼리 1차 적층시키는 접착제; c) 소정의 위치에서 1차 드릴 가공된 복수의 전기적 비아홀; d) 소정의 위치에서 복수의 전기적 비아홀과 동시에 1차 드릴 가공된 복수의 제1 광비아홀; e) 상기 1차 드릴 가공된 복수의 전기적 비아홀 및 제1 광비아홀의 내측 벽에 형성된 도금층; f)

상기 복수의 동 적층판의 상부 및 하부면의 도금된 부분에 노광 및 식각 공정에 의해 형성되는 회로 패턴층; g) 소정의 위치에서 2차 드릴 가공되는 복수의 제2 광비아홀; 및 h) 상기 제1 및 제2 광비아홀을 통해 광신호를 연결하는 광도파로를 포함하여 구성된다.

<34> 여기서, 상기 복수의 제2 광비아홀이 형성된 부위에 충진되는 95% 이상의 광튜파율을 갖는 에폭시 수지 충진재를 추가로 포함할 수 있다.

<35> 결국, 본 발명에 따르면, 광도파로용 인쇄회로기판에서, 전기적 비아홀과 광비아홀을 동시에 형성함으로써, 외부와 직접적으로 접촉되는 광도파로에 손상을 주지 않고도 안정적인 신호를 연결할 수 있게 된다.

<36> 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 광비아홀을 구비하는 인쇄회로기판 및 광비아홀 가공 공정을 설명한다.

<37> (제1 실시예: 외층 광비아홀 형성 공정)

<38> 이하, 본 발명의 실시예에 따른 인쇄회로기판 외층의 광비아홀 가공 공정을 설명한다.

<39> 도 2a 내지 도 2e는 각각 본 발명에 따른 인쇄회로기판 외층의 광비아홀 가공 공정을 순서적으로 예시하는 도면들이다.

<40> 도 2a는 동 적층판(CCL) 상에 드릴을 사용하여 복수의 비아홀을 가공하는 것을 도시하고 있고, 도 2b는 상기 복수의 비아홀의 내측 벽을 도금하는 것을 도시하며, 도 2c는 상기 도금된 부분을 노광 및 식각 공정에 의해 회로 패턴을 형성하는 것을 도시하고 있다. 또한, 도 2d는 상기 회로를 형성한 패턴들끼리 절연 수지 접착제를 사용하여 적

충하는 것을 도시하며, 도 2e는 광비아홀(opto-via hole)이 형성될 위치에 놓인 상기 접착제를 제거하고 상기 광비아홀을 가공하는 것을 도시하고 있다.

<41> 도 2a 내지 도 2e를 참조하면, 먼저, 에폭시 및 유리 섬유로 이루어진 절연막인 작업 패널(12)과 그 상하부에 동박(11)이 입혀진 CCL(copper clad laminate) 상에 드릴로 비아홀을 형성한다(도 2a 참조). 이때, a와 같은 형태의 비아홀이 형성되는데, 전기적 비아홀과 광비아홀 모두를 가공하게 되며, 상기 드릴은 예를 들어, 기계식 드릴일 수 있다. 여기서 전기적 비아홀은 통상적인 PCB의 비아홀과 동일하고, 광비아홀은 광도파로 예 광을 인터페이싱하기 위해서 통상적인 상기 전기적 비아홀의 직경보다는 크게 형성될 수 있다.

<42> 이후, 상기와 같이 형성된 비아홀에 무전해(electroless) 또는 전해(electrolytic) 구리 도금(Cu plating)을 한다(도 2b 참조). 이때, 통상적인 도금 공정에 의해 상기 비아홀의 내측 벽에 b와 같은 형태의 도금이 이루어지게 된다.

<43> 이후, 노광 및 식각 공정에 의해 회로 패턴을 형성한다(도 2c 참조). 이때, c와 같은 회로 패턴이 형성되는데, 본 발명이 임의의 회로 패턴에 대한 광비아홀 가공에 관한 것이므로, 이러한 회로 패턴 형성 기술에 대해서는 상세한 설명은 생략한다.

<44> 다음에, 상기 회로 패턴이 형성된 동 적층판들끼리 절연 수지 접착제, 예를 들어, 프리프레그(prepreg)를 사용하여, 1차 적층시킨다(도 2d 참조). 여기서, 도면부호 13은 접착제로서, 적층되는 부분은 각각 별도의 작업 패널 또는 에폭시 절연층(12')과 그 상하부에 동박(11')이 입혀진 CCL 상에 드릴링, 도금 및 회로 패턴 형성이 완료된 형체가, 전술한 작업 패널 또는 에폭시 절연층(12) 및 그 상하부에 동박(11)이 입혀진 CCL의 드릴링, 도금 및 회로 패턴 형성이 완료된 형체와 접착된다. 따라서 회로가 형성된 패턴

이 각각 적층된 형태가 되며, 이때 도 2a 내지 도 2d의 공정은 종래의 공정과 유사하게 이루어질 수 있다.

<45> 이후, 상기와 같이 1차 적층된 부분을 CO₂ 레이저 또는 기계적 비트(mechanical bit)로 d와 같은 형태의 광비아흘을 가공한다(도 2e 참조). 즉, 상기 절연 수지 접착제를 제거하고 광비아흘을 가공하게 된다. 이후, 상기와 같이 형성된 광비아흘 부분에 단차(15)를 형성할 수도 있으며(도 2f 참조), 이러한 단차(15)가 형성된 부위에 광도파로 (14)를 부착하게 된다.

<46> 결국, 본 발명에 따른 제1 실시예에서, 도 2a 내지 도 2f와 같이 형성된 PCB는 광도파로용 다층 PCB의 외층으로 사용될 수 있다.

<47> (제2 실시예: 내층 광비아흘 형성 공정)

<48> 이하, 본 발명의 다른 실시예에 따른 인쇄회로기판 내층의 광비아흘 가공 공정을 설명한다.

<49> 도 3a 내지 도 3f는 각각 본 발명에 따른 본 발명에 따른 인쇄회로기판 내층의 광비아흘 가공 공정을 순서적으로 예시하는 도면들이다.

<50> 도 3a 내지 도 3f를 참조하면, 먼저, 에폭시 및 유리 섬유로 이루어진 절연막인 작업 패널(22)과 그 상하부에 동박(21)이 입혀진 CCL(copper clad laminate) 상에 e와 같은 회로 패턴을 형성한다(도 3a 참조).

<51> 다음에, 동박(24)이 입혀진 층들을 도 3a에서 구해진 회로 패턴층의 상부 및 하부에 적층한다(도 3b 참조). 여기서 도면부호 23은 각각의 층을 적층시키는 접착제이다.

<52> 다음에, f와 같은 전기적인 비아홀과 광비아홀을 동시에 1차적으로 드릴 가공한다(도 3c 참조). 즉, 전기적 비아홀과 광비아홀 모두를 가공하게 되며, 상기 드릴은 예를 들어, 기계식 드릴일 수 있다.

<53> 이후, g와 같은 형태의 도금층이 이루어지도록 전해 및 무전해 도금을 한다(도 3d 참조).

<54> 상기와 같이 도금이 이루어진 외부 층에 다시 소정의 회로 패턴을 형성한다(도 3e 참조). 이때, h와 같은 회로 패턴이 형성되게 된다.

<55> 이후, 2차적으로 드릴 가공하여 i와 같은 광비아홀을 형성해준다(도 3f 참조). 즉, 전술한 도 3c의 1차 드릴 가공과 별도의 2차 드릴 가공에 의해 광비아홀을 형성해준다

<56> 전술한 도 2a 내지 도 2e와 비교하면, PCB의 내층에 광비아홀을 형성할 경우는 전술한 제1 실시예에서는 접착제를 제거하면서 광비아홀을 가공하게 되지만, 제2 실시예에서는 도 3f와 같은 별도의 2차 드릴 가공에 의해 광비아홀을 형성해주는 차이점이 있다.

<57> 결국, 본 발명에 따른 제2 실시예에서, 도 3a 내지 도 3f와 같이 형성된 PCB는 광도파로용 다층 PCB의 내층으로 사용될 수 있다.

<58> (제3 실시예: 후속 외층 및 내층 접합 공정)

<59> 도 4a 내지 도 4g는 각각 본 발명에 따른 광비아홀 가공 공정 이후에 후속적으로 PCB를 제조하는 공정을 순서적으로 예시하는 도면들이다.

<60> 먼저, 광비아홀이 형성된 외층의 소정 위치에 부착된 광도파로(35, 36)를 사용하여(도 2f 참조), 광도파로가 부착된 층들(10, 20, 30)끼리 절연 수지 접착제(38)로 접합하여 2차 적층을 한다(도 4a 참조). 여기서, 광도파로가 부착된 PCB의 내층(30) 및 외층(10, 20)은 전술한 제2 실시예의 내층(30)의 상하부에 전술한 제1 실시예의 외층(10, 20)을 함께 적층하게 된다. 물론, 상기 내층(30)은 사용 목적에 따라 여러 형태로 구현될 수 있으며, 상기 외층(10, 20) 사이에 여러 내층이 함께 적층될 수 있다. 즉, 광도파로가 삽입되는 다층 PCB의 층수에 적합하게 내층 및 외층을 미리 형성하여 적층하게 되며, 상기 내층 및 외층의 전기적 비아홀과 광비아홀은 전술한 제1 및 제2 실시예처럼 미리 가공하게 된다.

<61> 다음에, 도 4a의 B로 표시된 동박(37) 부분을 노광 및 식각 공정에 의해 제거한다(도 4b 참조). 즉, 적층을 위해 상기 동박이 구비된 CCL 상에 상기 외층(10, 30)을 미리 적층한 후 상기 내층(20)과 2차 적층하게 되며, 후속 PCB 공정에서는 광 인터페이싱을 위한 인입구 형성을 위해 상기 동박(37)을 제거하는 것이다.

<62> 이후, 고순도의 에폭시 수지 충진재(39)를 동박이 제거된 C 부분을 인입구로 하여 충진한다(도 4c 참조). 상기 에폭시 수지 충진재(39)는 광이 용이하게 투과될 수 있도록 투과도가 95% 이상인 것이 바람직하다. 상기 인입구(C)에 충진재(39)를 채우지 않으면, 빈 공간으로 인해 외부의 물리적인 충격에 쉽게 영향을 받기 때문이다.

<63> 다음에, 도 4d와 같은 드릴 공정을 수행하여 D와 같은 비아홀을 형성한다. 이후, 도 4d에 의해 형성된 비아홀의 내측에 도 4e와 같은 무전해 또는 전해 도금을 수행한다. 여기서, 도면부호 40은 도금층을 나타낸다.

<64> 다음에, 도 4f에 도시된 바와 같이, E로 표시되는 회로 패턴을 형성한다.

<65> 마지막으로, 솔더 레지스트(solder resist; 41) 및 금 도금(gold plating) 표면처리를 한다(도 4g 참조). 여기서, 솔더 레지스트(41)는 외층을 외부환경 및 표면처리로부터 보호하기 위해 절연물질을 도포하는 것이고, 또한, 향후에 부품이 실장되는 곳(PAD)에 납땜성을 향상하기 위해 금 도금 처리를 한다.

<66> 결국, 본 발명에 따른 광비아홀 가공 공정은 PCB의 내층 및 외층에 각각 별도의 광비아홀을 형성하여 접착시키게 되므로, 광신호를 PCB의 외층으로부터 내층으로 안정적으로 연결시켜줄 수 있다.

<67> 본 발명에 따른 광비아홀을 구비하는 인쇄회로기판 및 가공 공정은 단지 상기한 실시예에 한정되는 것이 아니고, 그 기술적 요지를 벗어나지 않는 범위에서 다양하게 변형 및 변경 실시할 수 있다.

【발명의 효과】

<68> 본 발명에 따른 광비아홀을 구비하는 인쇄회로기판 및 가공 공정은 PCB의 내층 및 외층에 각각 별도의 광비아홀을 형성하여 접착시키게 되므로, 외부와 직접적으로 접촉되는 광도파로에 손상을 주지 않고도 안정적인 신호를 연결할 수 있고, 재료 특성에 부합하는 광도파로를 용이하게 삽입할 수 있다.

【특허청구범위】**【청구항 1】**

- i) 복수의 동 적층판(CCL) 상에 드릴을 사용하여 복수의 비아홀을 가공하는 단계;
- ii) 상기 복수의 비아홀의 내측 벽을 도금하는 단계;
- iii) 상기 동 적층판의 상부 및 하부면의 도금된 부분을 노광 및 식각 공정에 의해 회로 패턴을 형성하는 단계;
- iv) 상기 회로 패턴이 형성된 복수의 동 적층판들끼리 절연 수지 접착제를 사용하여 적층하는 단계; 및
- v) 소정의 비아홀 내부의 상기 절연 수지 접착제를 제거하여 광비아홀을 가공하는 단계

를 포함하여 이루어지는 광비아홀 가공 공정.

【청구항 2】

제1항에 있어서,

상기 복수의 광비아홀은 전기적 비아홀 및 광비아홀을 모두 포함하는 것을 특징으로 하는 광비아홀 가공 공정.

【청구항 3】

제1항에 있어서,

상기 v) 단계의 광비아홀은 CO₂ 레이저 또는 기계적 비트(mechanical bit)로 가공되는 것을 특징으로 하는 광비아홀 가공 공정.

【청구항 4】

제1항에 있어서,

상기 광비아홀이 형성된 부위에 95% 이상의 광투과율을 갖는 예폭시 수지를 충진하는 것을 특징으로 하는 광비아홀 가공 공정.

【청구항 5】

i) 절연막, 및 상기 절연막의 상하부에 동박이 입혀진 복수의 동 적층판(CCL) 상에 각각 회로 패턴을 형성하는 단계;

ii) 상기 회로 패턴이 형성된 동 적층판들끼리 접착제를 사용하여 1차 적층시키는 단계;

iii) 소정의 위치에서 복수의 전기적 비아홀과 광비아홀을 동시에 1차 드릴 가공하는 단계;

iv) 상기 1차 드릴 가공된 비아홀의 내측 벽을 도금하는 단계;

v) 상기 복수의 동 적층판의 상부 및 하부면의 도금된 부분을 노광 및 식각 공정에 의해 회로 패턴을 형성하는 단계; 및

vi) 2차 드릴 가공으로 복수의 제2 광비아홀을 가공하는 단계

를 포함하여 이루어지는 광도파로용 광비아홀 가공 공정.

【청구항 6】

제5항에 있어서,

vii) 상기 광비아홀에 단차를 형성하고, 광도파로(optical waveguide)를 부착하는 단계를 추가로 포함하는 것을 특징으로 하는 광도파로용 광비아홀 가공 공정.

【청구항 7】

제5항에 있어서,

상기 광비아홀이 형성된 부위에 95% 이상의 광투과율을 갖는 에폭시 수지를 충진하는 것을 특징으로 하는 광도파로용 광비아홀 가공 공정.

【청구항 8】

- a) 드릴을 사용하여 가공된 복수의 비아홀을 구비하는 복수의 동 적층판(CCL);
- b) 상기 복수의 비아홀의 내측 벽에 형성되는 도금층;
- c) 상기 동 적층판의 상부 및 하부면의 도금된 부분을 노광 및 식각 공정에 의해 형성되는 회로 패턴층;
- d) 상기 회로 패턴이 형성된 복수의 동 적층판들끼리 적층시키는 절연 수지 접착제;
- e) 소정의 비아홀 내부에서 상기 절연 수지 접착제를 제거하여 형성되는 광비아홀; 및
- f) 상기 광비아홀을 통해 광신호를 연결하는 광도파로

를 포함하여 구성되는 광도파로용 광비아홀을 구비하는 인쇄회로기판.

【청구항 9】

제8항에 있어서,

상기 복수의 광비아홀은 전기적 비아홀 및 광비아홀을 모두 포함하는 것을 특징으로 하는 광도파로용 광비아홀을 구비하는 인쇄회로기판.

【청구항 10】

제8항에 있어서,

상기 광비아홀은 CO₂ 레이저 또는 기계적 비트로 가공되는 것을 특징으로 하는 광도파로용 광비아홀을 구비하는 인쇄회로기판.

【청구항 11】

제8항에 있어서,

상기 광비아홀이 형성된 부위에 충진되는 95% 이상의 광투과율을 갖는 에폭시 수지 충진재를 추가로 포함하는 광도파로용 광비아홀을 구비하는 인쇄회로기판.

【청구항 12】

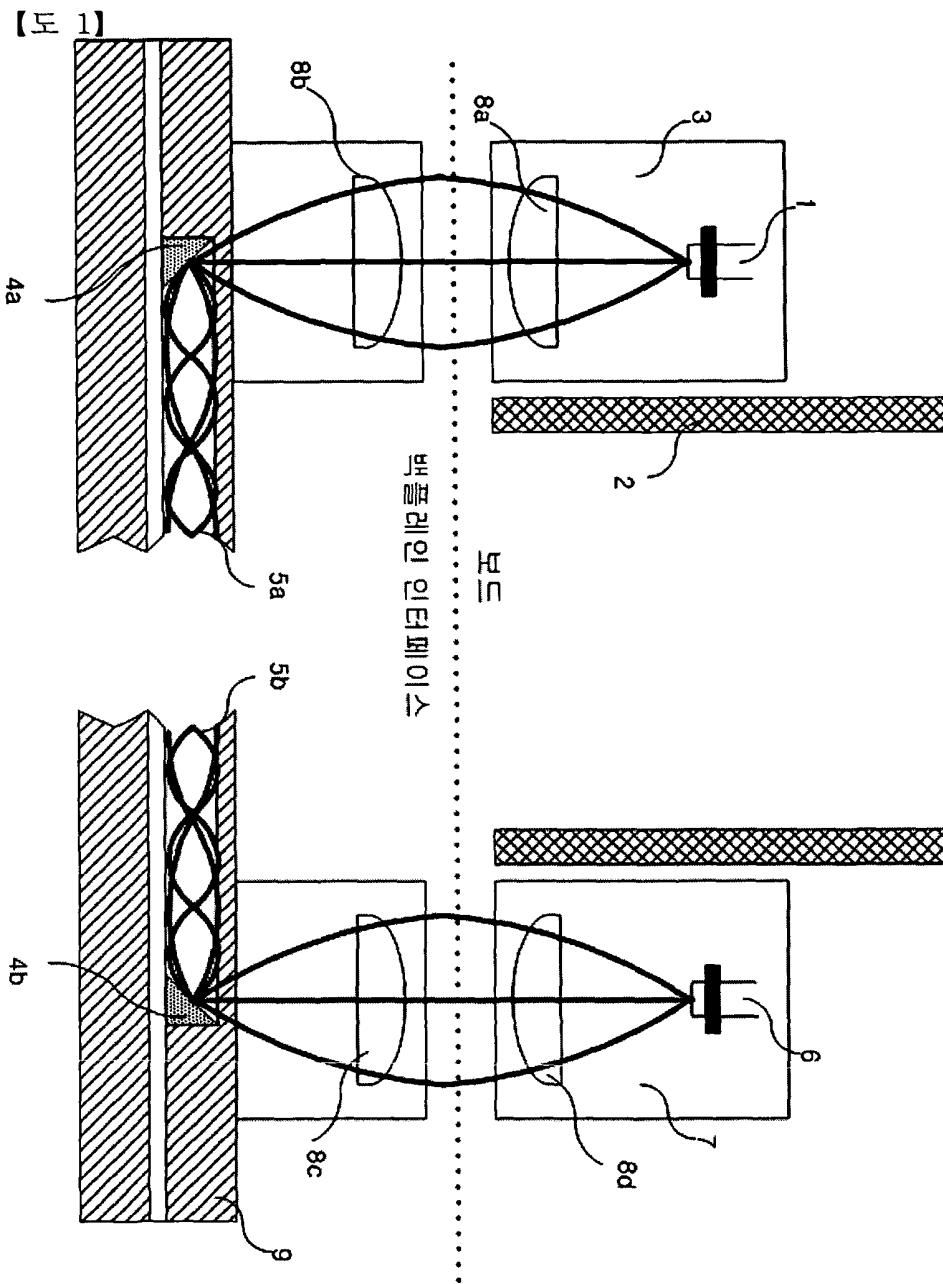
- a) 절연막, 및 상기 절연막의 상하부에 입혀진 동박을 구비하며, 각각 회로 패턴이 형성되는 복수의 동 적층판(CCL);
- b) 상기 회로 패턴이 형성된 동 적층판들끼리 1차 적층시키는 접착제;
- c) 소정의 위치에서 1차 드릴 가공된 복수의 전기적 비아홀;
- d) 소정의 위치에서 복수의 전기적 비아홀과 동시에 1차 드릴 가공된 복수의 제1 광비아홀;
- e) 상기 1차 드릴 가공된 복수의 전기적 비아홀 및 제1 광비아홀의 내측 벽에 형성된 도금층;
- f) 상기 복수의 동 적층판의 상부 및 하부면의 도금된 부분에 노광 및 식각 공정에 의해 형성되는 회로 패턴층;
- g) 소정의 위치에서 2차 드릴 가공되는 복수의 제2 광비아홀; 및

h) 상기 제1 및 제2 광비아홀을 통해 광신호를 연결하는 광도파로
를 포함하여 구성되는 광도파로용 광비아홀을 구비하는 인쇄회로기판.

【청구항 13】

제12항에 있어서,
상기 복수의 제2 광비아홀이 형성된 부위에 충진되는 95% 이상의 광투과율을 갖는
에폭시 수지 충진재를 추가로 포함하는 광도파로용 광비아홀을 구비하는 인쇄회로기판.

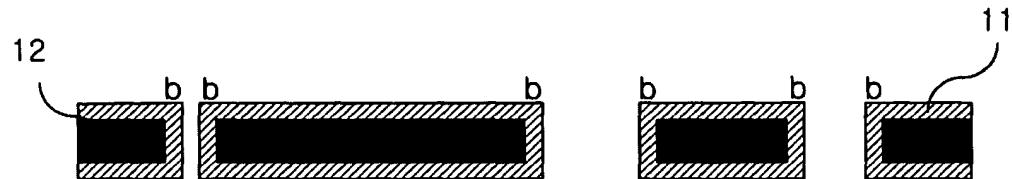
【도면】



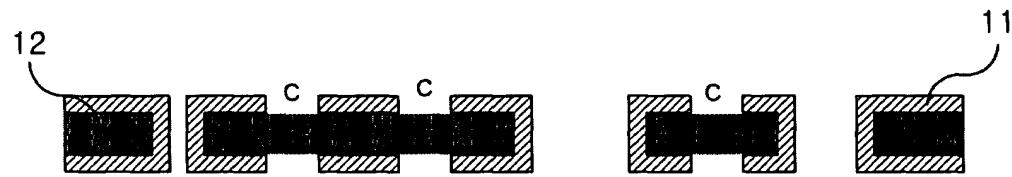
【도 2a】



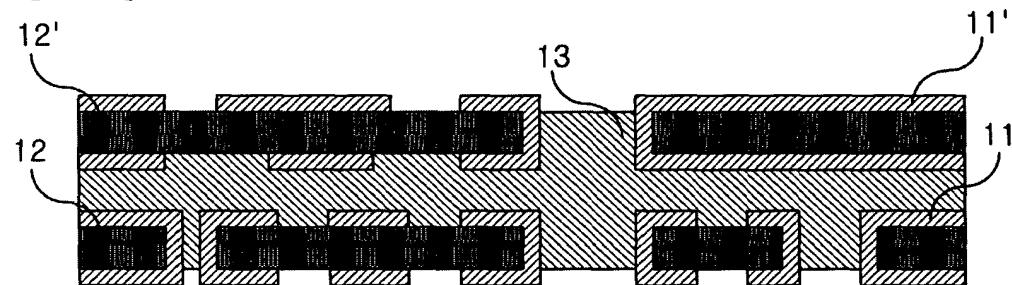
【도 2b】



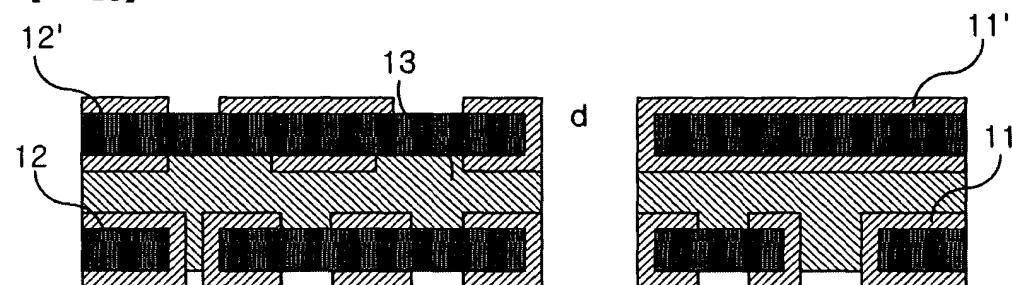
【도 2c】



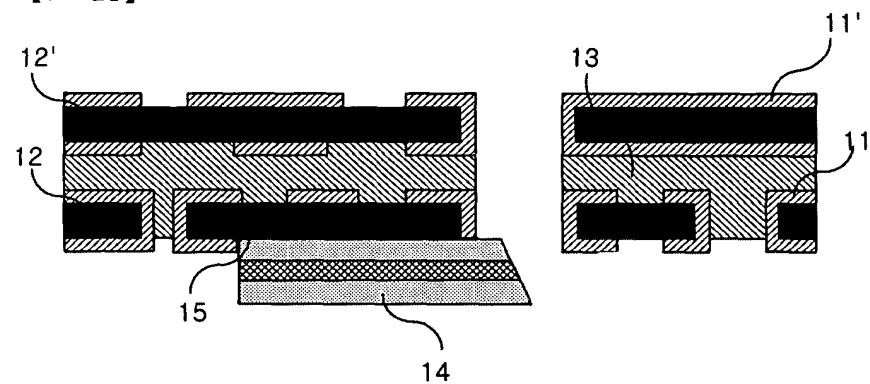
【도 2d】



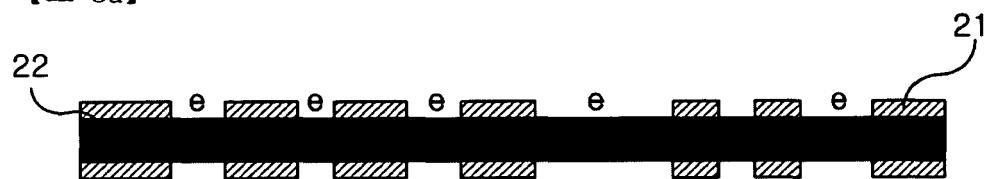
【도 2e】



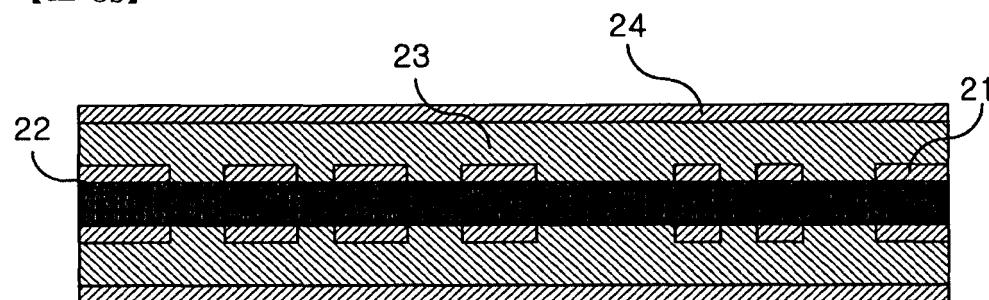
【도 2f】



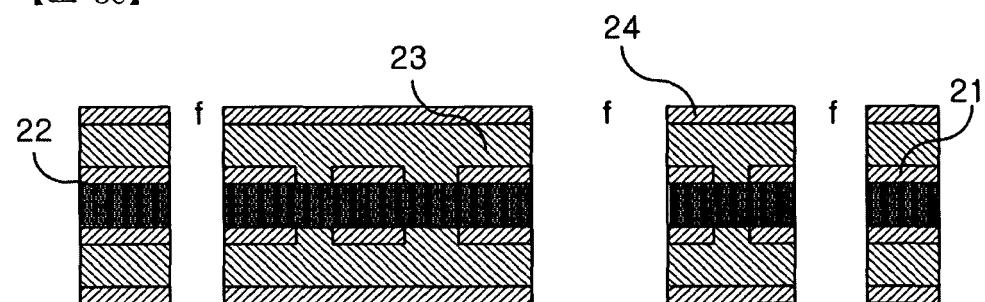
【도 3a】



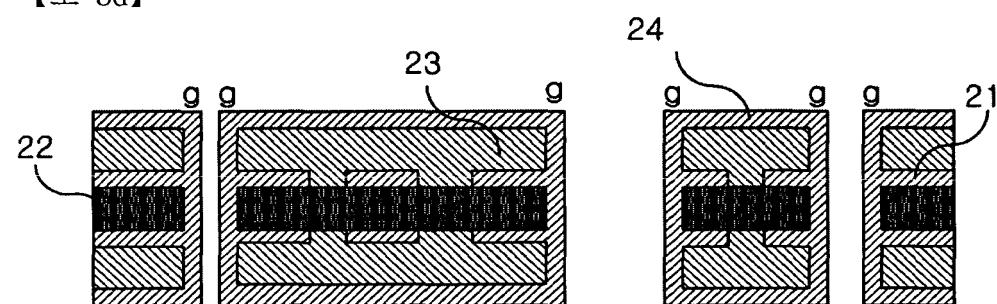
【도 3b】



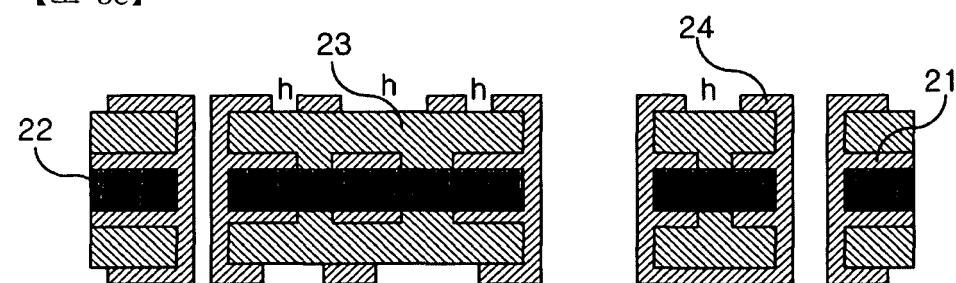
【도 3c】



【도 3d】



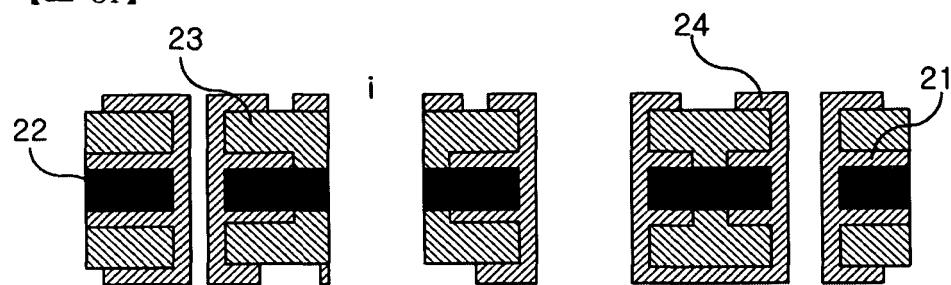
【도 3e】



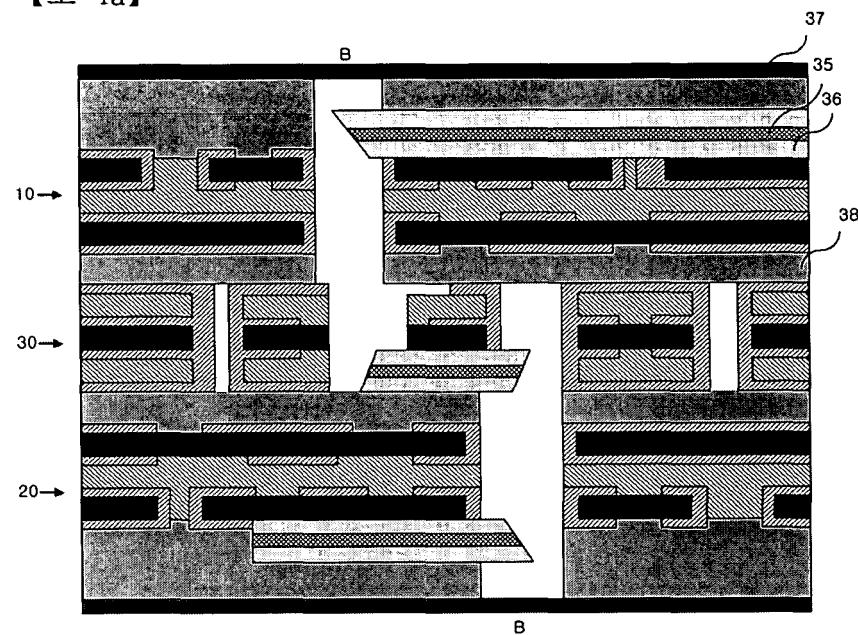
1020020081236

출력 일자: 2003/1/16

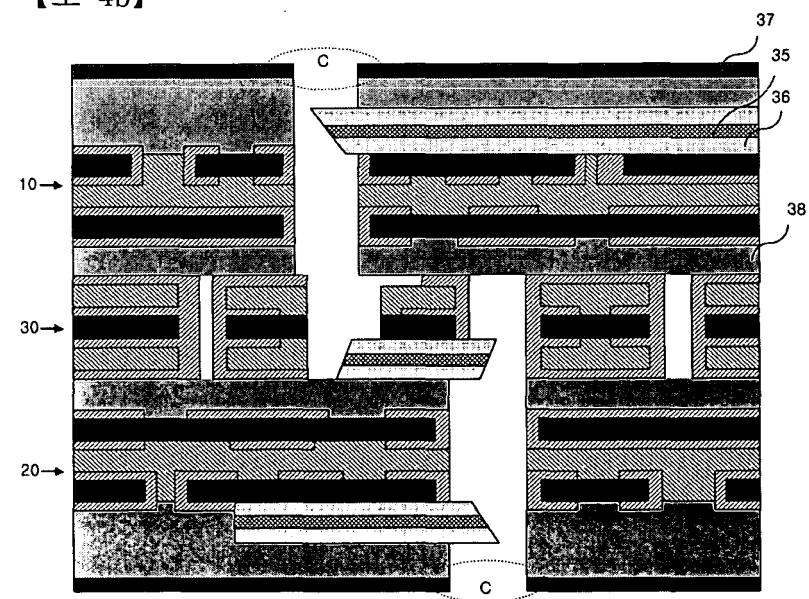
【도 3f】



【도 4a】



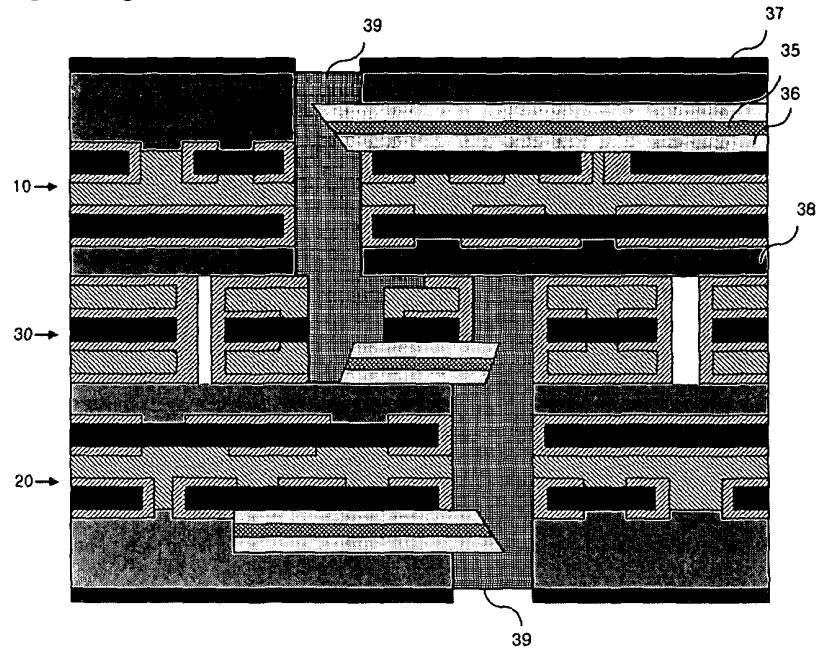
【도 4b】



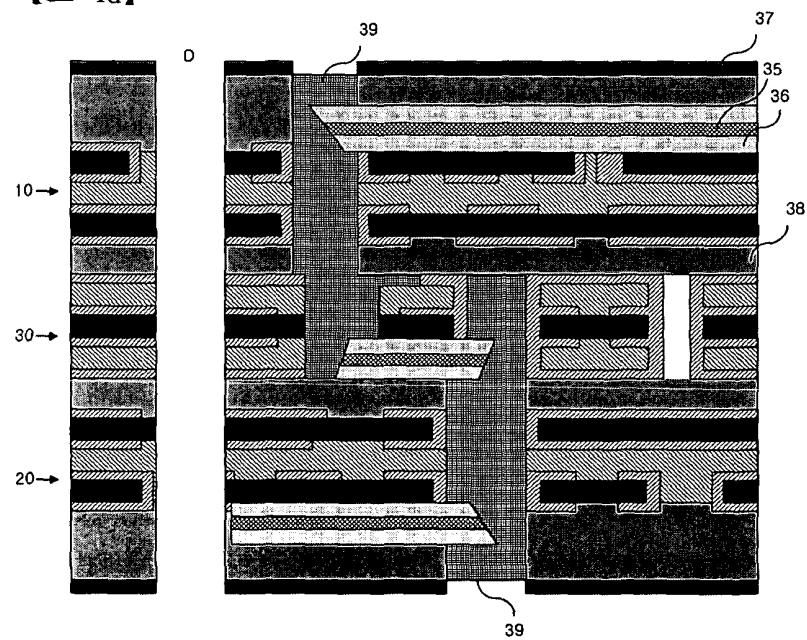
1020020081236

출력 일자: 2003/1/16

【도 4c】



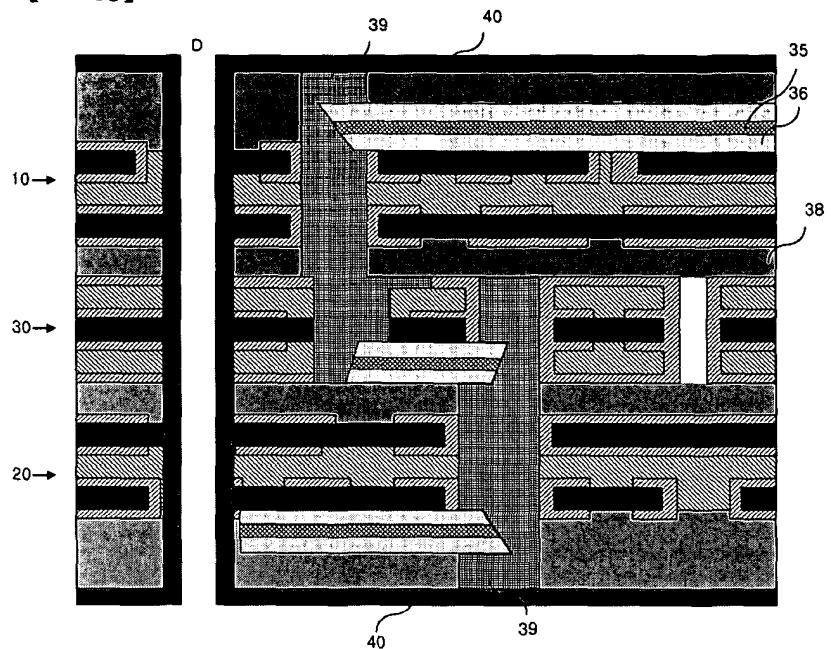
【도 4d】



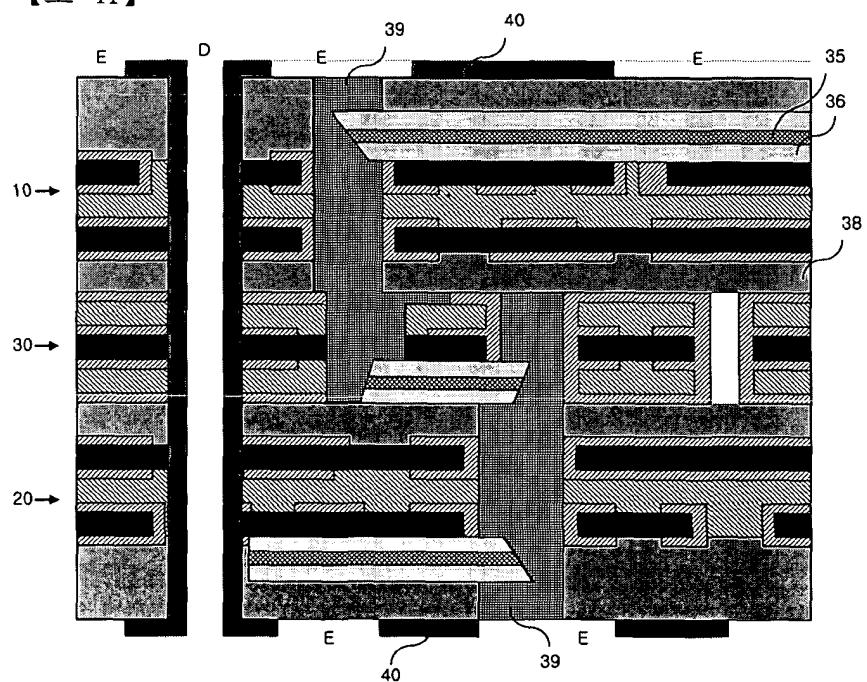
1020020081236

출력 일자: 2003/1/16

【도 4e】



【도 4f】



1020020081236

출력 일자: 2003/1/16

【도 4g】

